

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-262233

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

G06F 17/50

(21)Application number : 06-047480

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 17.03.1994

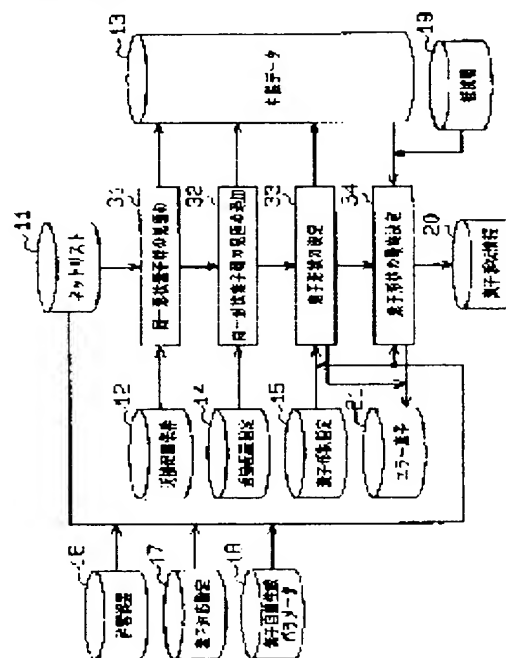
(72)Inventor : UECHI MASAHIRO

(54) METHOD AND DEVICE FOR DECIDING FORM OF ELEMENT IN ANALOG LSI

(57)Abstract:

PURPOSE: To automatically decide the form of an element satisfying an analog restriction.

CONSTITUTION: In the ascertaining processing 31 of the same form element group as against plural kinds of elements mentioned by the element numbers of a net list, an approximate arrangement condition which is previously set so that they are set to be the same forms is inputted. It is judged whether the plural elements applied to the approximate arrangement condition exists on the net list or not. When the plural elements applied to the approximate arrangement condition exist, the element numbers are set to be one group, and respective groups are stored as intermediate data. In the deciding processing 33 of the element form, element form designation where a basic form designated for constituting the element is previously defined as against the element number is inputted, and it is judged whether the element numbers in the respective groups as intermediate data are applied to the element numbers designated for inputted element form designation or not. When they are applied, the plural basic forms are used for parameters showing the characteristics of the elements so as to decide the forms of the elements.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-262233

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶
G 0 6 F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

7623-5L

G 0 6 F 15/ 60

3 7 0 K

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平6-47480

(22) 出願日 平成6年(1994)3月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 植地 将人

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

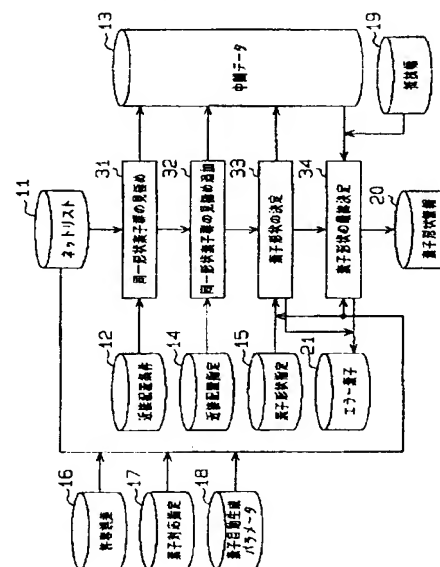
(54) 【発明の名称】 アナログLSIにおける素子の形状決定方法及びその形状決定装置

(57) 【要約】

【目的】アナログの制約を満足した素子の形状を自動的に決定する。

【構成】ネットリストの素子番号により記述された複数種類の素子に対して、同一形状素子群の見極め処理31にて、予め同一形状とするために設定された近接配置条件を入力し、近接配置条件に該当する複数の素子がネットリスト上にあるかどうかを判断する。そして、近接配置条件に該当する複数の素子がある場合にはこれらの素子番号を1つのグループとし各グループを中間データとして記憶する。素子形状の決定処理33において、予め素子番号に対してその素子を構成するために指定された基本形状が定義された素子形状指定を入力し、前記中間データとして記憶された各グループ内の素子番号が入力した素子形状指定に指定された素子番号に該当するか否かを判断し、該当する場合にはその基本形状をその素子の特性を示すパラメータに対応して複数使用して素子の形状を決定する。

一実施例の形状決定装置の処理フロー図



1

【特許請求の範囲】

【請求項1】 予め設定されたネットリストに素子番号により記述された複数種類の素子の形状を決定するアナログLSIにおける素子の形状決定方法であって、予め同一形状とするために設定された近接配置条件を入力し、該近接配置条件に該当する複数の素子がネットリスト上にあるかどうかを判断し、複数の素子がある場合にはこれらの素子番号を1つのグループとし各グループを中間データとして記憶し、

予め素子番号に対してその素子を構成するために指定された基本形状が定義された素子形状指定を入力し、該素子形状指定にある素子番号が前記中間データに格納された各グループ内の素子番号にあるか否かを判断し、素子番号がある場合にはグループ内の各素子の特性を示すパラメータを基本形状の特性を示すパラメータでそれぞれを割る除算を行い、その除算の結果、商が整数の場合にはその商を各素子を構成する基本形状の個数としてその素子の形状を決定するようにしたアナログLSIにおける素子の形状決定方法、

【請求項2】 請求項1に記載のアナログLSIにおける素子の形状決定方法において、前記除算の結果、割り切れない場合であって該素子が抵抗の場合には、割った結果の余りを予め設定された所定の数で割る除算を行い、除算の結果の商と基本形状の抵抗値とで抵抗を形成した場合の抵抗値が素子の特性を示すパラメータである抵抗値に対して予め設定された誤差範囲の抵抗値となるまで除算を行い、

その誤差範囲の抵抗値となる除算の結果の商を各素子を構成する基本形状の個数としてその素子の形状を決定するようにしたアナログLSIにおける素子の形状決定方法、

【請求項3】 請求項1又は2に記載のアナログLSIにおける素子の形状決定方法において、前記中間データとして記憶された各グループ内の素子番号が素子形状指定に指定された素子番号にない場合であって、該素子番号の素子がトランジスタ又は容量の場合は、同一形状とする各素子の特性を示すパラメータの最大公約数を求め、その最大公約数の素子を基準とし、各素子の特性に対応して使用する基準となる素子の個数を求め、基準となる素子とその基準となる素子の個数とにより該素子の形状を決定し、

該素子が抵抗の場合は、そのうちの1つの抵抗値のサイズを基準サイズとし、その基準サイズにより各抵抗を自動生成した場合の総面積を計算し、

その総面積が最も小さくなるときの基準サイズで各素子を形成する個数を計算し、

基準サイズと各素子を形成する個数とにより該素子の形

2

状を決定するようにしたアナログLSIにおける素子の形状決定方法。

【請求項4】 予め設定されたネットリストに素子番号により記述された複数種類の素子の形状を決定するアナログLSIにおける構成する素子の形状決定装置であって、

予め同一形状とするために設定された近接配置条件を入力し、該近接配置条件に該当する複数の素子がネットリスト上にあるかどうかを判断し、複数の素子がある場合にはこれらの素子番号を1つのグループとし各グループを中間データとして記憶する同一形状素子群の見極め手段(31)と、

予め素子番号に対してその素子を構成するために指定された基本形状が定義された素子形状指定を入力し、該素子形状指定にある素子番号が前記中間データに格納された各グループ内の素子番号にあるか否かを判断し、素子番号がある場合にはグループ内の各素子の特性を示すパラメータを基本形状の特性を示すパラメータで割る除算を行い、その除算の結果、商が整数の場合にはその商を各素子を構成する基本形状の個数としてその素子の形状を決定する素子形状の決定手段(33)とを備えたアナログLSIにおける素子の形状決定装置。

【請求項5】 請求項4に記載のアナログLSIにおける素子の形状決定装置において、

前記素子形状の決定手段(33)は、前記除算の結果が割り切れない場合であって該素子が抵抗の場合には、割った結果の余りを予め設定された所定の数で割る除算を行い、除算の結果の商と基本形状の抵抗値とで抵抗を形成した場合の抵抗値が素子の特性を示すパラメータである抵抗値に対して予め設定された誤差範囲の抵抗値となるまで除算を行い、その誤差範囲の抵抗値となる除算の結果の商を各素子を構成する基本形状の個数としてその素子の形状を決定するようにしたアナログLSIにおける素子の形状決定装置。

【請求項6】 請求項4又は5に記載のアナログLSIにおける素子の形状決定装置において、

前記中間データとして記憶された各グループ内の素子番号が素子形状指定に指定された素子番号に該当しない場合であって、

該素子番号の素子がトランジスタ又は容量の場合は、同一形状とする各素子の特性を示すパラメータの最大公約数を求め、その最大公約数の素子を基準とし、各素子の特性に対応して使用する基準となる素子の個数を求め、基準となる素子とその基準となる素子の個数とにより該素子の形状を決定し、

該素子が抵抗の場合は、そのうちの1つの抵抗値のサイズを基準サイズとし、その基準サイズにより各抵抗を自動生成した場合の総面積を計算し、その総面積が最も小さくなるときの基準サイズで各素子を形成する個数を計算し、基準サイズと各素子を形成する個数とにより該素

10

20

30

40

50

子の形状を決定する素子形状の最終決定手段(34)を備えたアナログLSIにおける素子の形状決定装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアナログLSIにおける素子の形状決定方法及びその形状決定装置に係り、詳しくはアナログLSIにおけるレイアウトの制約を満足し、高集積化が可能な素子の自動形状決定に関するものである。

【0002】近年、バイポーラ・アナログICにおいては、大規模化・高集積化が進められる一方で、その開発期間の短縮が要求されている。そのため、レイアウトにおいても素子の形状決定の自動化を図り配置処理時間を短縮することが望まれている。

【0003】

【従来の技術】従来、バイポーラ・アナログIC(Integrated Circuit)においては、大規模化・高集積化が進められている。そのため、アナログICの回路設計においてはCAD(Computer Aided Design)装置が用いられ、その設計時間の短縮が図られている。また、設計されたアナログICが正常に動作するかを検証するための検証プログラム(回路シミュレータ)が用いられ、計算機による動作の検証が行われて検証時間が短縮されている。

【0004】

【発明が解決しようとする課題】ところで、アナログICのレイアウトには、そのレイアウトに多くの制約がある。その制約は、例えばカレントミラーを構成する一方のトランジスタは隣接して配置する必要がある。また、例えば1つのトランジスタに対してそのトランジスタに流れる10倍の電流を流すトランジスタを設計する場合、単純にそのトランジスタの形状を10倍するだけでは所望の電流が得られない。そのため、同一形状のトランジスタを10個隣接して形成して所望の電流を得る必要がある。これらの制約によりマクロを構成する素子のレイアウト及びマクロのレイアウト時における素子の形状決定は熟練した設計者自身により行われている。

【0005】一方、レイアウトを自動化したものもあるが、そのレイアウトのための素子の形状は使用する素子毎に予め設定しておかなければならないので、その設定のために多くの時間がかかり、アナログICの開発期間を短縮できないという問題があった。

【0006】本発明は上記問題点を解決するためになされたものであって、その目的はアナログの制約を満足した素子の形状を自動的に決定することのできるアナログLSIにおける素子の形状決定方法及び形状決定装置を提供することにある。

【0007】

【課題を解決するための手段】本発明は上記目的を達成するため、予め設定されたネットリストに素子番号によ

り記述された複数種類の素子の形状を決定するアナログLSIにおける素子の形状決定方法であって、予め同一形状とするために設定された近接配置条件を入力し、該近接配置条件に該当する複数の素子がネットリスト上にあるかどうかを判断し、複数の素子がある場合にはこれらの素子番号を1つのグループとし各グループを中間データとして記憶し、予め素子番号に対してその素子を構成するために指定された基本形状が定義された素子形状指定を入力し、該素子形状指定にある素子番号が前記中間データに格納された各グループ内の素子番号にあるかどうかを判断し、素子番号がある場合にはグループ内の各素子の特性を示すパラメータを基本形状の特性を示すパラメータで割る除算を行い、その除算の結果、商が整数の場合にはその商を各素子を構成する基本形状の個数としてその素子の形状を決定するようにした。

【0008】また、除算の結果、割り切れない場合であって素子が抵抗の場合には、割った結果の余りを予め設定された所定の数で割る除算を行い、除算の結果の商と基本形状の抵抗値とで抵抗を形成した場合の抵抗値が素子の特性を示すパラメータである抵抗値に対して予め設定された誤差範囲の抵抗値となるまで除算を行い、その誤差範囲の抵抗値となる除算の結果の商を各素子を構成する基本形状の個数としてその素子の形状を決定するようにした。

【0009】更に、中間データとして記憶された各グループ内の素子番号が素子形状指定に指定された素子番号にない場合であって、素子番号の素子がトランジスタ又は容量の場合は、同一形状とする各素子の特性を示すパラメータの最大公約数を求め、その最大公約数の素子を基準とし、各素子の特性に対応して使用する基準となる素子の個数を求め、基準となる素子とその基準となる素子の個数とにより該素子の形状を決定し、素子が抵抗の場合は、そのうちの1つの抵抗値のサイズを基準サイズとし、その基準サイズにより各抵抗を自動生成した場合の総面積を計算し、その総面積が最も小さくなるときの基準サイズで各素子を形成する個数を計算し、基準サイズと各素子を形成する個数とにより該素子の形状を決定するようにした。

【0010】

【作用】従って、本発明によれば、予め設定されたネットリストに素子番号により記述された複数種類の素子に対して、予め同一形状とするために設定された近接配置条件を入力し、該近接配置条件に該当する複数の素子がネットリスト上にあるかどうか判断される。そして近接配置条件に該当する複数の素子がある場合にはこれらの素子番号を1つのグループとし各グループを中間データとして記憶する。

【0011】更に、予め素子番号に対してその素子を構成するために指定された基本形状が定義された素子形状指定を入力し、前記中間データとして記憶された各グル

10

20

30

40

50

ープ内の素子番号に人力した素子形状指定に指定された素子番号があるか否かが判断される。そして、素子番号がある場合にはグループ内の各素子の特性を示すパラメータを基本形状の特性を示すパラメータで割る除算を行い、その除算の結果、商が整数の場合にはその商を各素子を構成する基本形状の個数としてその素子の形状が決定される。

【0012】一方、除算の結果、商が整数でない場合であって該素子が抵抗の場合には、割った結果の余りを予め設定された所定の数で割る除算を行う。そして、除算の結果の商と基本形状の抵抗値とで抵抗を形成した場合の抵抗値が素子の特性を示すパラメータである抵抗値に対して予め設定された誤差範囲の抵抗値となるまで除算が繰り返される。そして、その誤差範囲の抵抗値となる除算の結果の商を各素子を構成する基本形状の個数としてその素子の形状が決定される。

【0013】また、中間データとして記憶された各グループ内の素子番号が素子形状指定に指定された素子番号にない場合であって、素子番号の素子がトランジスタ又は容量の場合は、同一形状とする各素子の特性を示すパラメータの最大公約数が求められる。そして、その最大公約数の素子を基準とし、各素子の特性に対応して使用する基準となる素子の個数を求められ、基準となる素子とその基準となる素子の個数とにより該素子の形状が決定される。一方、素子が抵抗の場合は、そのうちの1つの抵抗値のサイズを基準サイズとし、その基準サイズにより各抵抗を自動生成した場合の総面積が計算される。そして、その総面積が最も小さくなる時の基準サイズで各素子を形成する個数を計算され、その基準サイズと各素子を形成する個数とにより該素子の形状が決定される。

【0014】

【実施例】以下、本発明を具体化した一実施例を図1～図10に従って説明する。図2は本発明を適用したレイアウト装置のシステム構成を示す模式図である。形状決定装置1はCAD (Computer Aided Design) 装置からなり、中央処理装置(以下、CPUという)2、メモリ3、磁気ディスク装置4、CRT等のディスプレイ5、キーボード(マウス等を含む)6、磁気テープ装置7を備えている。

【0015】CPU2はメモリ3に記憶された所定のプログラムデータに基づいて動作するようになっている。メモリ3にはCPU2が実行する前記プログラムデータとその実行に必要な各種データが予め記憶されるとともに、当該プログラムデータに基づくCPU2の処理結果等が一時格納されるようになっている。

【0016】メモリ3には、図1に示す複数のファイル11～21が格納されている。ファイル11には、アナログICの素子及びその素子間の接続(ネットリスト)が格納されている。ネットリストは図示しない回路設計

のためのCAD装置等により予め設計された回路図から生成されている。また、ネットリストはその動作に応じた複数の回路ブロックから構成され、各回路ブロックは複数の素子又は複数の素子からなるマクロにより構成されている。そして、ネットリストには各素子を示す素子番号と、その素子の特性を示すパラメータ(例えばトランジスタではそのトランジスタに流す電流等)が同時に記述されている。

【0017】ファイル12には、アナログICのレイアウトの制約である近接配置、同一形状にする素子を決定する近接配置条件が格納されている。ファイル13には、形状決定するための素子が一旦格納されるための中間データが格納されている。

【0018】ファイル14には、予め近接配置、同一形状にする素子を指定するために複数の素子番号が定義された近接配置指定が格納されている。ファイル15には、予め複数の素子に対してその素子を構成するための基準となる基本形状が定義された素子形状指定が格納されている。ファイル16には、抵抗の形状を決定する際において、複数の抵抗からその抵抗値を形成する場合にその抵抗を構成する個数を算出する時、元の抵抗値と複数の抵抗により構成する抵抗値との誤差を定義した許容誤差が格納されている。ファイル17には、ファイル13の中間データに格納された素子の形状と対応するセル名を定義した素子対応指定が格納されている。また、ファイル17には、抵抗、容量(コンデンサ)の自動生成を指定する定義が格納されている。ファイル18には、素子を自動生成する時の条件を定義した素子自動生成パラメータが格納されている。ファイル19には、抵抗の形状を自動生成する時の抵抗幅が格納されている。ファイル20には、ファイル11に格納されたネットリストに存在する全素子の形状及び配置個数が決定された素子形状情報が格納される。ファイル21には素子の形状を決定することかできなかった素子番号がエラー素子として格納されるようになっている。

【0019】各ファイル11～19は磁気ディスク装置4に格納され、その磁気ディスク装置4からメモリ3に予め読み込まれて格納されている。一方、ファイル20はメモリ3に一旦格納され、処理終了とともに磁気ディスク装置4に格納されるようになっている。

【0020】CPU2は、キーボード6の操作により形状決定処理が起動されると、メモリ3に記憶されたプログラムデータに基づいて図1に示す素子の形状決定処理を実行する。即ち、CPU2はプログラムデータに基づいて同一形状素子群の見極め処理31、同一形状素子群の見極め追加処理32、素子形状の決定処理33及び素子形状の最終決定処理34の各構成を実行するようになっている。

【0021】同一形状素子群の見極め手段としての同一形状素子群の見極め処理31において、CPU2はファ

10

20

30

40

50

イル11に格納されたネットリストを読み出す。また、CPU2はファイル12に格納された近接配置条件を読み出す。そして、CPU2は読み出したネットリストに記述されたネット（素子間の接続）の素子のうち、読み出した近接配置条件に該当する素子をネットリストから検索する。即ち、近接に配置する必要のある素子は同一の電気的特性が必要であり、同一形状で形成する必要がある。そのため、ネットリストに該当する素子が存在する場合、CPU2はネットリストに記述されたその素子を素子番号とファイル12に格納された素子のサイズを中間データとしてファイル13に格納する。

【0022】この近接配置条件は、例えば図3に示すように予め定義されている。例えば、エミッタ結合のように2つのトランジスタのエミッタ端子が互いに接続されている場合がある。この両トランジスタの接続は、定義「NPN1:E,NPN2:E」の「NPNトランジスタのエミッタ端子同士が接続されている場合は近接配置を行う」に該当する。従って、CPU2はこの近接配置条件に該当する両トランジスタを1つのグループとし、その素子名を示す素子番号とその素子の特性を示すパラメータとをファイル13の中間データに同一形状指定素子群として格納する。

【0023】また、カレントミラーを構成する2つのトランジスタは、一方のトランジスタのベース端子とコレクタ端子とか互いに接続されるとともに、他方のトランジスタのベース端子に接続されている。この両トランジスタの接続は、定義「NPN1:C+B,NPN2:B」の「NPNトランジスタのコレクタ、ベース端子と他のNPNトランジスタのベース端子が接続されている場合は近接配置を行う」に該当する。従って、CPU2はカレントミラーを構成する両トランジスタを別の1つのグループとし、両トランジスタの素子番号をファイル13の中間データに近接配置指定及び同一形状指定素子として格納する。そして、同一形状素子群の見極め処理31が終了すると、CPU2は同一形状素子群の見極め追加処理32に移る。

【0024】次に、同一形状素子群の見極め追加手段としての同一形状素子群の見極め追加処理32において、CPU2はファイル14に格納された近接配置指定に該当する素子の抽出を行う。即ち、CPU2はファイル14に格納された近接配置指定を読み出す。この近接配置指定は予め回路設計段階において複数の回路ブロック又はマクロ内にそれぞれ存在する素子を近接配置し同一形状とするように設定しておくものであって、予め設計者によりその素子が指定されている。従って、その指定された素子は同一形状に形成され、離れて配置されるのを防止されるようになっている。

【0025】この近接配置指定は、例えば図4に示すように予め定義されている。即ち、定義「S11,S20,S30」は、「ネットリスト上の素子番号S11,S20,S30は同一形

状とし近接配置を行う」という指定を示している。尚、素子番号「S11」、「S20」、「S30」は、ネットリストに記載されているトランジスタ、抵抗、コンデンサ等をその記載順に対応して付している番号であって、複数（図4の定義の場合は3つ）の回路ブロックに分かれて存在している素子を示している。

【0026】そして、CPU2は読み出した近接配置指定に該当する複数の素子からなる素子群をネットリストファイル11に格納されているネットリストから検索する。そして、ネットリストに該当する素子群が存在する場合、CPU2はその素子群を1つのグループとしてそれぞれの素子の素子番号とその素子の特性を示すパラメータとをファイル13の中間データに格納する。そして、見極め追加処理32を終了すると、CPU2は素子形状の決定処理33に移る。

【0027】素子形状の決定手段としての素子形状の決定処理33において、CPU2はファイル15に格納された素子形状指定に基づいて予め形状を同一にする素子群を中間データから検索する。

【0028】この素子形状指定は、各回路ブロックにおいて素子の形状・サイズを決定した場合、アナログIC全体の特性からみると各回路ブロックに存在する素子に対して形状・サイズが同一のもの（基準素子）を配置すると、その配置した後の形状に凹凸が少なくなり、配置の効率が良くなる。

【0029】即ち、1つの回路ブロックにおけるトランジスタに対して、他の回路ブロックにおいて2倍の電流を流すトランジスタがあるとする。このとき、2倍の電流を流すトランジスタに対しては1つの回路ブロックのトランジスタを2つ並べて配置するとその配置した後の形状に凹凸が少なくなる。一方、基準となるトランジスタが1つの回路ブロックにおけるトランジスタの半分に設定されている場合、1つの回路ブロックのトランジスタには基準となるトランジスタを2つ、他の回路ブロックには基準となるトランジスタを4つ配置するとその配置した後の形状に凹凸が少なくなり、配置の効率がよくなる。

【0030】また、1つの回路ブロックにおける抵抗の値が例えば10KΩであって、他の回路ブロックにおいてその抵抗の値が例えば5KΩとなる場合がある。この場合、アナログIC全体からみると両回路ブロックに含まれる抵抗は同じ大きさの抵抗を複数並べて配置した方がその配置効率が良い。即ち、10KΩの抵抗は5KΩの抵抗の大きさを2つ直列に接続すると、両抵抗を配置した後の形状の凹凸が少なくなり、配置の効率がよくなる。

【0031】そして、この素子形状指定は、図5に示すように定義されている。定義「S11:×2」は、「S11及びS11と同一形状とする素子は、×2の素子(BIP)を用いる。」を意味している。即ち、素子番号「S11」及び

10

20

30

40

50

「S11」と同一形状とする素子はバイポーラトランジスタであって、その特性のために2倍のサイズのバイポーラトランジスタを基本形状とし、その基本形状を複数個並べて配置して「S11」及び「S11」と同一形状とする素子を構成する定義を示している。

【0032】そして、素子形状指定に記述された素子及びその素子と同一形状とする他の素子が中間データに存在する場合、CPU2は各素子の特性を示すパラメータを中間データから読み出す。そしてCPU2はその素子がトランジスタ又はコンデンサの場合、その素子の特性を示すパラメータを予め設定された基本形状のパラメータで割り、基準となる素子が幾つ必要となるかを演算する。

【0033】例えば、図5の素子形状指定の内、定義「S11:×2」の素子番号「S11」は、図4に示す近接配置指定の内、定義「S11,S20,S30」の素子番号「S11」に対応する。従って素子番号「S20」、「S30」は「S11」と同一形状とする素子に該当する。そして、素子番号「S11」、「S20」、「S30」の特性を示すパラメータをそれぞれ「40」、「40」、「60」とし、基本形状の特性を示すパラメータを「20」とする。すると、各素子を構成する基本形状の個数は「40」、「40」、「60」を「20」で割った値、即ち「2」、「2」、「3」となる。

【0034】そして、CPU2は中間データ上のグループ化された素子群（トランジスタ等）に対して配置する基本形状の数をそれぞれ付加して中間データを更新する。このとき基準となる素子サイズに対してネットリスト上の素子のサイズが整数で割り切れなかった場合がある。例えば素子の特性を示すパラメータが「50」であって基本形状のパラメータが「20」の場合は「2.5」となり整数とならない。この場合にはその素子に対してその基本形状を使用することができない。従って、CPU2は、その割り切れなかったネットリスト上の素子の素子番号を含むグループをエラーとしてファイル21に格納する。

【0035】一方、素子形状指定に記載された素子が抵抗の場合、CPU2はその素子の抵抗値を上記したトランジスタ等と同様に基本形状の抵抗値で割る。そして、整数で割り切れた場合、CPU2はネットリスト上の素子群（抵抗）に対して配置する基本形状の数をそれぞれ付加して中間データを更新する。

【0036】このとき、整数で割り切れなかった場合、CPU2はネットリスト上の素子のサイズを基準サイズで割った残りを1/2、1/3等で割る。即ち、抵抗の場合、同一の抵抗値の抵抗を複数並列に接続すると、その抵抗値を並列に接続した数で割った値にすることができる。例えば、35KΩの抵抗を必要とし、基準となる素子サイズが10KΩであるとする。このとき35KΩを10KΩで割ると、商は3で余りは5となる。即

ち、10KΩの抵抗を3個直列に接続すれば30KΩの抵抗値を得ることができ、必要とする抵抗値に対して5KΩ不足する。

【0037】次に、CPU2は余りの5KΩを1/2で割る。すると、その値は10KΩとなり、基準サイズの10KΩの抵抗を2つ並列に接続すれば5KΩを得ることができる。従って、35KΩの抵抗は10KΩの抵抗を5つ使用し、そのうち3つの抵抗を直列に接続し、その3つの抵抗に更に並列接続した2つの抵抗を直列に接続すれば得られる。即ち、複数の基準サイズの抵抗を直列及び並列に接続することにより任意の抵抗値を得ることができることになる。

【0038】しかし、あまりに多くの抵抗を直列及び並列に接続すると、その抵抗の占める面積が増大してアナログICの面積が増大する。従って、ある程度の誤差範囲に入った段階でその抵抗値とるようにして面積の増大を防いでいる。この誤差範囲をファイル16に格納された許容誤差によって定義している。そして、定義「R=99%」は「抵抗の構成個数算出時の精度は99%とする」を意味している。即ちCPU2は直列及び並列に接続する抵抗の抵抗値を合計した値がネットリスト上の設計された抵抗値の99%以上になったところで演算を終了し、そのときの基本形状となる抵抗の数をネットリスト上の素子群（抵抗）に対してそれぞれ付加して中間データを更新する。

【0039】図6に、以上の処理によりファイル13に格納される中間データの定義を示す。定義「S11(×4), S20(×1), S30(×6); NPN:×2」は「S11」、「S20」、「S30」はNPNトランジスタであって、「×2」に定義された基本形状のトランジスタをそれぞれ2個、2個、3個用いて配置する。

【0040】また、「S22(W=40), S21(W=60); PMOS:」は、「S22」、「S21」はPチャネルMOSトランジスタであって、その形状は未定である。この素子番号「S22」、「S21」は、ファイル15の素子形状指定により指定されていない素子であるので、その形状は素子形状の決定処理33で決定されない。

【0041】更に、「S41(3K), S42(1K), S43(100); R:1K」は、「S41」、「S42」、「S43」は抵抗であって、そのサイズは1KΩの抵抗のサイズを複数使用することにより配置する。そして、素子形状の決定処理33が終了すると、CPU2は素子形状の最終決定処理34に移る。

【0042】次に、素子形状の最終決定手段としての素子形状の最終決定処理34において、ネットリスト、中間データと、ファイル17に格納された素子対応指定、ファイル18に格納された素子自動生成パラメータ及びファイル19に格納された抵抗幅とに基づいてCPU2は素子の形状を最終的に決定する。即ちCPU2はファイル11のネットリストに記述された素子の素子番号

をファイル13の中間データに格納された素子、即ち近接配置条件、近接配置指定、素子形状指定により指定された素子番号と比較する。そして、ネットリスト上の素子番号が指定された素子番号、即ち中間データにない場合、CPU2はその存在しない素子の特性を示すパラメータをネットリストより読み出し、その素子番号と読み出したパラメータとを素子形状情報としてファイル20に格納する。

【0043】ネットリスト上の素子番号が指定された素子番号、即ち中間データにあってその形状が記載されている場合、ファイル17に格納された素子対応指定に基づいてCPU2はその素子番号と形状とにより素子番号と使用個数及び使用するセル名を素子形状情報としてファイル20に格納する。例えば、図6に示す定義「S11($\times 4$), S20($\times 4$), S30($\times 6$): NPN: $\times 2$ 」が該当する。そして、CPU2は定義「NPN: $\times 2$ 」に対応して図8に示す2倍のサイズの基本形状を示すセル名の定義「NPN($\times 2$): NPN2」を読み出す。そして、CPU2は定義「S11(2), S20(2), S30(3): NPN: NPN2」を素子形状情報としてファイル20に格納する。尚、定義のカッコ内の数字は基本形状を使用する個数を示している。

【0044】更に、ネットリスト上の素子番号が指定された素子番号、即ち中間データにあってその形状が記載されていない場合、CPU2はその素子の特性を示すパラメータに基づいて形状を決定する。このとき、当該する素子がMOSトランジスタ、BIPトランジスタ及び容量の場合、CPU2はその定義に記載された素子全てに対してその特性を示すパラメータの最大公約数を計算し、その最大公約数となるサイズを演算する。

【0045】即ち、素子に対してそのサイズが例えば「20」、「30」、「30」である場合、そのサイズの最大公約数は「10」となる。そして、各素子をサイズ「10」を基準とし、その基準を「2個」、「2個」、「3個」使用して配置を行えばよい。従って、CPU2はその素子に対する個数をファイル20に素子形状情報としてその素子番号とともに格納する。このとき、最大公約数が整数とならない場合、CPU2は定義された全ての素子番号をエラー素子としてファイル21に格納する。

【0046】例えばPチャネルMOSトランジスタの場合、中間データの定義「S22(W=40), S21(W=60): PMOS:」はそのサイズが未定である。従って、CPU2はその素子に対応する最大公約数を計算する。この定義の場合、最大公約数は「W=20」となり、素子「S22」はこの「W=20」の基準となる素子を2個、素子「S21」はこの「W=20」の基準素子を3個使用してその形状が決定されることになる。そして、CPU2はこの基準となる「W=20」に対応してファイル17に格納されたセル名を指定する素子対応指定の定義「PMOS(W=20): PMOS」を読み出す。そして、セル名を追加した定義「S22(W=40), S21(W=60): PMOS: PMOS20」を素子形状情報としてファイル20に格

納する。従って、「S22」、「S21」に対してはセル名「PMOS20」のサイズを基準としてその形状を決定する。

【0047】また、容量(コンデンサ)に対しては、その値により形状を自動に生成することかできる。そして、CPU2はトランジスタの場合と同様に容量の最大公約数を計算し、その最大公約数となる形状を自動に生成し、各容量の形状をその自動に生成した形状に基づいて決定する。そして、その容量に使用する個数をその素子番号とともに素子形状情報としてファイル20に格納する。

【0048】一方、当該する素子が抵抗の場合、形成する抵抗の幅を指定することにより形状を自動に生成することができる。この抵抗の幅は予め設定され、ファイル19に格納されている。CPU2は基準となる抵抗の値に対して他の抵抗がいくつ必要となるかを計算する。そして、CPU2は必要となる個数とその形状に基づいて計算した全ての抵抗が占める面積を求め、その面積が最も小さくなるように基準となる抵抗の形状と使用個数を計算する。

【0049】即ち、10K Ω と30K Ω の抵抗がある場合、10K Ω の抵抗を基準とした場合、30K Ω の抵抗は10K Ω の抵抗を3個直列に接続して得られるので、その基準となる抵抗が4個必要となる。一方、30K Ω の抵抗を基準とした場合、10K Ω の抵抗は30K Ω の抵抗を3個並列に接続するとその値が得られるので、この場合も必要となる抵抗の数は4個となる。この場合、必要となる個数が同じなので、30K Ω の抵抗による面積と10K Ω の抵抗による面積とを比較し、その面積が小さくなる方の抵抗値を基準とする。

【0050】そして、CPU2は中間データに格納された抵抗の定義をファイル19の抵抗幅で自動生成するように定義し、その基準となる抵抗値とともに素子形状情報としてファイル20に格納する。

【0051】この場合、中間データの定義「S41(3K), S42(1K), S43(100): R: 1K」は、ファイル19に格納された抵抗幅「W=5」とファイル17に格納された抵抗の自動生成の定義「R: ?」とにより、定義「S41(3K), S42(1K), S43(100): R: W=5: 1K: ?」となる。CPU2は、この定義を抵抗の素子形状情報としてファイル20に格納する。

【0052】そして、素子形状の最終決定処理34において、ファイル20のネットリストに記述された全ての素子に対して素子形状の決定を終了すると、CPU2は素子形状決定処理を終了する。

【0053】このように、本実施例では、予め設定されたネットリストの素子番号により記述された複数種類の素子に対して、同一形状素子群の見極め処理31において、予め設定された近接配置条件に基づいて同一形状とする素子がネットリスト上の素子番号に含まれるか否かを判断する。当該する複数の素子が含まれる場合、これらの素子番号を1つのグループとし、各グループを中間

データとして記憶する。また、同一形状素子群の見極め追加処理32において、予め設定された近接配置指定に基づいて同一形状とする複数の素子の抽出を行なう。そして、抽出した複数の素子を1つのグループとしてそれぞれの素子番号とその素子の特性を示すパラメータとを中間データに格納するようにした。

【0054】そして、素子形状の決定処理33により、CPU2は予め素子番号に対してその素子を構成するために指定された基本形状が定義された素子形状指定を入力する。CPU2は、その素子形状指定にある素子番号が中間データに格納された素子番号にあるか否かを判断する。そして、素子番号を含んだグループがある場合、CPU2はそのグループ内の各素子の特性を示すパラメータを素子形状指定に定義された基本形状の特性を示すパラメータで割る除算を行なう。その除算の結果、割り切れた場合にはその除算の商を各素子を構成する基本形状の個数とし、その素子の形状を決定するようにした。

【0055】また、素子形状の決定処理33において、除算の結果が割り切れない場合であってその素子が抵抗の場合には割った余りを予め設定された所定の数で割る除算を行なう。その除算は、除算の結果の商と基本形状のパラメータとでその素子の抵抗を形成した場合の抵抗値が素子の特性を示すパラメータである抵抗値に対して予め設定された誤差範囲の抵抗値となるまで除算される。そして、誤差範囲となるまでの商をそれぞれの素子を構成する基本形状の個数とし、その素子の形状を決定するようにした。

【0056】更に、素子形状の最終決定処理34において、中間データに記憶された各グループないの素子番号が素子形状指定に指定された素子番号にない場合であってその素子がトランジスタ又はコンデンサの場合には同一形状とする各素子の特性を示すパラメータの最大公約数を求め、その最大公約数の素子を基準とする。そして、各素子の特性に対して基準となる素子の個数を求め、その基準となる素子とその個数とにより各素子の形状を決定する。一方、素子が抵抗の場合には、各抵抗をそれぞれ基準サイズとし、その基準サイズにより各抵抗の形状を自動生成した場合の総面積を求める。そして、その総面積が最も小さくなるときの基準サイズで各素子を形成する個数を計算し、基準サイズと各素子を構成する個数とにより素子の形状を決定するようにした。

【0057】その結果、ファイル11のネットリストに記載されたマクロ内の素子の形状を自動に決定することかでき、この決定した素子の形状を用いて素子のレイアウトを自動に行うことができる。また、素子の近接配置条件と素子配置条件とに基づいて素子の配置を行うので、アナログの制約を満足した素子配置を行うことができる。

【0058】尚、本発明は前記実施例の他、以下の態様で実施するようにしてもよい。

(1) 上記実施例では、ファイル15に格納された近接配置指定に基づいて同一形状素子群の見極め追加処理32において第2のグループ合成処理を行うようにしたが、近接配置指定をせずに同一形状素子群の見極め追加処理32の処理をなくして実施するようにしてもよい。

【0059】(2) 上記実施例の回路設計を行うCAD装置に組み込んで実施してもよい。図2のレイアウト装置の構成にグラフィック・ディスプレイを追加することにより、CAD装置の構成と同様になりCAD装置への組み込みは容易となる。

【0060】また、素子配置を行なう装置に組み込んで実施してもよい。ファイル20の素子形状情報のフォーマットをその素子配置を行なう装置に入力するフォーマットと同一にすれば、効率よく素子配置を行なうことができる。

【0061】更に、形状決定装置1に磁気ディスク装置4、磁気テープ装置7の他、種々の記憶装置、例えば光磁気ディスク装置、CD-ROM装置等を接続して、プログラムデータや各ファイル11~21を記憶するようにしてもよい。

【0062】(3) 上記実施例において、各ファイル11~19をメモリ3に読み込むことなく実施する。また、ファイル20、21をメモリ3に設定することなく直接磁気ディスク装置4等へ書き込むようにしてもよい。この構成により、メモリ3を小さくすることができる。

【0063】

【発明の効果】以上詳述したように、本発明によれば、アナログの制約を満足した素子の形状を自動的に決定することができる優れた効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の形状決定装置の処理フロー図である。

【図2】一実施例の形状決定装置の構成を示す模式図である。

【図3】近接配置の回路条件の一例を示す図である。

【図4】近接配置指定の一例を示す図である。

【図5】素子形状指定の一例を示す図である。

【図6】中間データの一例を示す図である。

【図7】許容誤差の一例を示す図である。

【図8】素子対応指定の一例を示す図である。

【図9】素子自動生成パラメータの一例を示す図である。

【図10】素子形状情報の一例を示す図である。

【符号の説明】

2 CPU

11 ファイル(ネットリスト)

20 ファイル(素子形状情報)

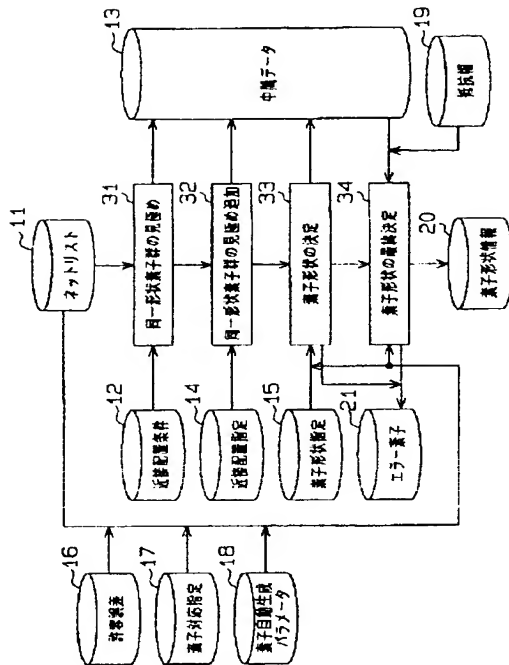
31 同一形状素子群の見極め手段

33 素子形状の決定手段

3.4 素子形状の最終決定手段

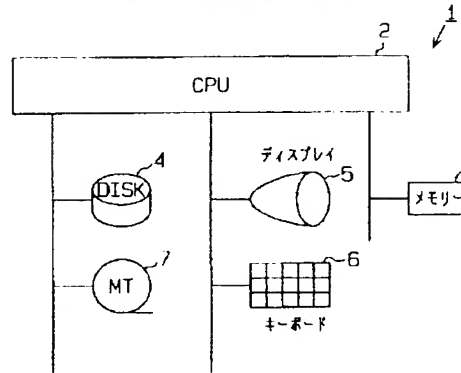
【図1】

一実施例の形状決定装置の処理フロー図



【図2】

一実施例の形状決定装置の構成を示す模式図



【図4】

近接配置判定の一例を示す図

定義例	意味
S11, S20, S30	ネットリスト上の素子番号S11, S20, S30は同一形状とし近接配置を行う

【図3】

近接配置の目標条件の一例を示す図

定義例	意味
NPN1: E, NPN2: E	NPN T _e のエミッター端子同士が接続されている場合は近接配置を行う
NPN1: C・B, NPN2: B	NPN T _e のコレクター、ベース端子と他のNPN T _e のベース端子が接続されている場合は近接配置を行う

【図5】

素子形状判定の一例を示す図

定義例	意味
S11: x2	S11及びUS11と同一形状とする素子はx2の素子 (BIP) を用いる。
S22: W=20	S22及びUS22と同一形状とする素子はW=20の素子 (MOS) を用いる。上記についてはネットリストに従う。

【図6】

中間データの一例を示す図

定義例	意味
S11 (x4), S20 (x4), S30 (x6): NPN x2	NPN T _e でx2の形状 (サイズ) を使用する
S22 (W=40), S21 (W=60): PMOS	PMOS T _e で形状 (サイズ) は未定
S41 (3K), S42 (1K), S43 (100): R 1K	抵抗で1K Ωの形状 (サイズ) を使用する

【図7】

許容誤差の一例を示す図

定義例	意味
R=99%	抵抗の構成個数算出時の精度は99%とする

【図8】

素子対応指定の一例を示す図

定義例	意味
NPN (X2): NPN2	NPN T_n でX2の形状 (サイズ) 指定ではセル名NPN2を用いる
PNP (X2): PNP2	PNP T_p でX2の形状 (サイズ) 指定ではセル名PNP2を用いる
PMOS (W=20): PMOS20	PMOS T_p でW=20の形状 (サイズ) 指定ではセル名PNP20を用いる
R: ?	抵抗は自動生成とする
C: ?	容量は自動生成とする

【図9】

素子自動生成パラメータの一例を示す図

素子名	意味
抵抗	値、抵抗の種類、抵抗長計算式、コンタクト部分の形状を明記する。
容量	容量、及び1ヶ当たりの最大値、容量部分の角半径。

【図10】

素子形状数値の一例を示す図

定義例	意味
S11 (2), S20 (2), S30 (3): NPN: NPN2	NPN T_n でNPN2のセルを {} 内の個数配置する
S22 (W=40), S21 (W=60): PMOS: PMOS20	PMOS T_p でPMOS20のセルを {} 内の個数配置する
S41 (30), S4P (90), S4Q (100), R W=5 K	抵抗で1KΩ (W=5) の形状 (サイズ) を自動生成